|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **BLOQUE TEMÁTICO 1** | | | | | | | | | | | | |
| **TÍTULO DE LA ACTIVIDAD:**  **Simulación del periférico I2C** | | | | | | | | | | | **Código:** | |
|  | | | | | | | | | | | | |
| Fecha: |  | | |
| Nombre: |  | | | Apellidos: |  | | | | | | | |
|  | | | | | | | | | | | | |
| Modalidad: | | Libre. Ejercicio guiado | | | | Tipo: | | Presencial | | Duración: | |  |
|  | | | | | | | | | | | | |
| Calendario: | | PS14 | | | | Requisitos: | |  | | | | |
|  | | | | | | | | | | | | |
| Criterio de Éxito: | |  | | | | | | | | | | |
|  | | | | | | | | | | | | |
| Comentarios e Incidencias: | | | | | | | | | | | | |
| Tiempo Dedicado: | | | minutos | | | | Autoevaluación: [entre 0 y 10 puntos] | | No procede | | | |

Introducción

En esta actividad debe simular el modelo del periférico I2C que acaba de analizar. Para ello se le proporciona un test-bench, cuya estructura y diseño se describe en este documento, con la finalidad de facilitarle su empleo para la verificación del código que ha tenido que desarrollar. En las siguientes notas se le proporciona toda la información necesaria para usar con aprovechamiento los recursos que se le proporcionan.

Estructura del *test-bench*

El código del *test-bench* del master I2C se encuentra en el fichero *test\_periferico \_i2c.vhd*. En dicho fichero se emplazan las siguientes instancias:

* El modelo estructural del *periferico\_i2c*, que se le entrega en el fichero homónimo (ubicado en la carpeta *hdl* ) para evitarle el trabajo de confeccionarlo.
* El generador del reloj y reset de la simulación (*driver\_clk\_nRst*).
* El monitor del bus I2C, un código que verifica que las señales del bus (*SCL* y *SDA*) cumplen con la especificación de tiempos y el protocolo del estándar I2C durante el desarrollo de la simulación.
* Los *agentes* de la interfaz I2C (*agente\_slave\_i2c*) y de la interfaz de control del periférico (*secuenciador\_interfaz\_i2c*), que son módulos que simulan el funcionamiento de los circuitos conectados a las interfaces del *dut*:
  + *agente\_slave\_i2c* genera *ACKs* para los bytes de dirección I2C y los bytes escritos y, además, genera bytes para las transferencias de lectura.
  + *agente\_ibr\_perif\_i2c* genera las señales de control del periférico I2C y las transferencias que componen el test
* Un *scoreboard*, un código que verifica que las transacciones ordenadas al periférico coinciden con las recibidas por el agente que modela la interfaz esclavo I2C.

Diseño del test

La secuencia de test es la siguiente

* Tras el reset inicial, *agente\_ibr\_perif\_i2c* genera y ordena el envío de 5 transacciones I2C sobre la dirección x40 (x80 en escrituras y x81 en lecturas):
  1. Lectura de 3 bytes (x99, XB4, x5C)
  2. Escritura de 2 bytes (xEC, x8D)
  3. Escritura de 4 bytes (x05, x41, XA0, xBC)
  4. Lectura de 2 bytes (xF5, xC9)
  5. Lectura de 2 bytes (xFD, xD5)
* Tras la finalización de la quinta transacción, la simulación se detiene.

Simulación

Cree un proyecto y añádale todos los ficheros VHDL que hay en el ZIP y los ficheros correspondientes a los módulos del master I2C correspondientes a la versión para un reloj de 100 MHz que realizó en la actividad 3. Compílelos y ordene la simulación del test-bench.

Verificación de resultados

Para comprobar los resultados de la simulación debe:

* Añadir al visor de formas de onda todas las señales del *test-bench*
* Revisar los mensajes de consola para observar si el monitor del bus detecta algún error de protocolo
* Revisar la secuencia de operaciones con que se programa al master para ordenar cada transacción.
* Revisar la señalización de trama y los bits transferidos por el bus I2C
* Revisar los campos de la señal *transfer\_I2C* cuando *put\_transfer\_I2C* está a nivel alto; esta señal es una estructura en cuyos campos se puede leer la información correspondiente a la última transacción realizada (dirección I2C (x40), tipo de operación (nWR), número de bytes transferidos y valor de los bytes transferidos). Esta señal recoge la información obtenida por el agente conectado al bus I2C